

[Embodiment of the Invention] The first embodiment of the invention will be described hereafter.

Process 1 : As shown in Fig. 1(a), a gate insulation film 2 is formed on a semiconductor substrate 1 by a thermal oxidation method to have a thickness of 50 to 200Å. Next, a first polysilicon film 3 is formed as a first silicon film on the whole surface by a CVD method to have a thickness of 500 to 1000Å. Then, a silicon nitride film 4 is formed as an anti-oxidation film on the whole surface by the CVD method to have a thickness of 1000Å and an opening is formed in a predetermined region.

Process 2 : As shown in Fig. 1(b), the semiconductor substrate 1 is thermally oxidized using the silicon nitride film 4 as a mask, to form an element separation film 5. At this time, the element separation film 5 has a thickness of about 3500Å and is formed rising on the semiconductor substrate 1. The top surface of the element separation film 5 rises from the top surface of the semiconductor substrate 1 by about 2000Å.

Process 3 : As shown in Fig. 1(c), the silicon nitride film 4 is removed.

Process 4 : As shown in Fig. 1(d), a second polysilicon film 6 is formed as a second silicon film by the CVD method, to have a thickness of 500 to 1000Å. Next, phosphorus is implanted in the first and second polysilicon films by thermal diffusion using POCl_3 . Then, a tungsten silicide film 7 is formed to have a thickness of 1000 to 2000Å.

Process 5 : As shown in Fig. 1(e), the polysilicon film 6 and the tungsten silicide film 7 are etched in a predetermined shape to form a gate electrode 8 or wiring 9. After then, a source/drain region is formed, an interlayer insulation film is formed, wiring is

further formed, or the like, to form various semiconductor integrated circuits.

[0008]At this time, the gate electrode 8 formed on the gate insulation film 2 has the layered structure of the first polysilicon film 3, the second polysilicon film 6, and the tungsten silicide film 7. The wiring 9 formed on the element separation film 5 has the layered structure of the second polysilicon film 6 and the tungsten silicide film 7. Therefore, the gate electrode 8 is thicker than the wiring 9 by the thickness 500 to 1000Å of the first polysilicon film 3. Therefore, the difference in level between the top surface of the gate electrode 8 and the top surface of the wiring 9 is moderated by the thickness of the first polysilicon film 3.

[0009]The larger the thickness of the first polysilicon film is, the larger the difference in thickness between the gate electrode 8 and the wiring 9. This moderates the difference in level between these more. For example, in the above example, the difference in level between the front surface of the semiconductor substrate 1 and the top surface of the element separation film is about 2000Å. The difference in level between these can be moderated to 1000Å by forming the polysilicon film 1 of the thickness 1000Å.

[0012]The tungsten silicide film is formed for reducing resistance of the electrode and the wiring. It is possible that polysilicon is used as the electrode and the wiring as it is without the tungsten film formed and titanium or cobalt is used instead of tungsten.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-49113

(P2000-49113A)

(43)公開日 平成12年2月18日(2000.2.18)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)	
H 0 1 L 21/28	3 0 1	H 0 1 L 21/28	3 0 1 D	4 M 1 0 4
21/316		21/94	3 0 1 T	4 M 1 0 8
			A	

審査請求 未請求 請求項の数3 O L (全 6 頁)

(21)出願番号 特願平10-216201

(22)出願日 平成10年7月30日(1998.7.30)

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 関川 信之

大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72)発明者 安藤 弥

新潟県小千谷市千谷甲3000番地 新潟三洋電子株式会社内

(74)代理人 100076794

弁理士 安富 耕二 (外1名)

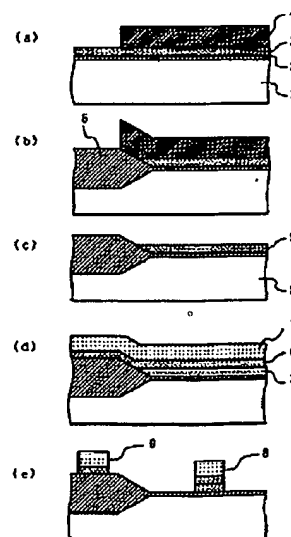
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 パッド酸化膜とパッドポリシリコン膜は、バースピークの抑制の働きをするが、製造過程で除去され、その後改めてゲート酸化膜、ゲート電極を堆積するので、工程数が多かった。また、素子分離膜は、半導体基板の上に盛り上がり形成されるため、ゲート絶縁膜上に形成されるゲート電極と素子分離膜上に形成される配線との段差が大きく、その後の配線形成などのリソグラフィの工程の露光焦点の調整精度が落ちる等の問題があった。本発明は、半導体集積回路の製造工程数の削減とともに、ゲート絶縁膜上のゲート電極と素子分離膜上の配線との段差を緩和することを目的とする。

【解決手段】 パッド酸化膜及びパッドポリシリコン膜を除去せずに、そのままゲート酸化膜及びゲート電極の一部として用い、前記段差を緩和する。また、第1のシリコン膜を一定膜厚残存させてエッチングし、前記段差をさらに緩和する。



1: 半導体基板
2: ゲート絶縁膜
3: 第1のポリシリコン膜
4: SiN膜
5: 素子分離膜
6: 第2のポリシリコン膜
7: タングステンシリサイド膜
8: ゲート電極
9: 配線

【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1のシリコン膜を形成する工程と、前記シリコン膜上に耐酸化膜を形成する工程と、前記耐酸化膜の所定領域に開口部を形成する工程と、前記耐酸化膜をマスクとして前記第1のシリコン膜及び前記半導体基板を熱酸化して、素子分離膜を形成する工程と、前記耐酸化膜を除去する工程と、前記第1のシリコン膜上及び前記素子分離膜上に第2のシリコン膜を形成する工程と、前記第2のシリコン膜をエッチングして前記素子分離膜上に配線を形成すると共に、前記第1のシリコン膜及び前記第2のシリコン膜をエッチングして電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1のシリコン膜を形成する工程と、前記シリコン膜上に耐酸化膜を形成する工程と、前記耐酸化膜の所定領域に開口部を形成する工程と、前記耐酸化膜をマスクとして前記第1のシリコン膜及び前記半導体基板を熱酸化して、素子分離膜を形成する工程と、前記耐酸化膜を除去する工程と、前記第1のシリコン膜上及び前記素子分離膜上に第2のシリコン膜を形成する工程と、前記第2のシリコン膜上に金属シリサイド膜を形成する工程と、前記第2のシリコン膜と前記金属シリサイド膜とをエッチングして前記素子分離膜上に配線を形成すると共に、前記第1のシリコン膜と前記第2のシリコン膜と前記金属シリサイド膜とをエッチングして電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に第1のシリコン膜を形成する工程と、前記シリコン膜上に耐酸化膜を形成する工程と、前記耐酸化膜の所定領域に開口部を形成する工程と、前記耐酸化膜を少なくともマスクの一部として、前記第1のシリコン膜を一定膜厚残存させてエッチングする工程と、前記耐酸化膜をマスクとして前記第1のシリコン膜及び前記半導体基板を熱酸化して、素子分離膜を形成する工程と、前記耐酸化膜を除去する工程と、前記第1のシリコン膜上及び前記素子分離膜上に第2のシリコン膜を形成する工程と、前記第2のシリコン膜をエッチングして前記素子分離膜上に配線を形成すると共に、前記第1のシリコン膜及び前記第2のシリコン膜をエッチングして電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造方法に関し、更に詳しくいえば、LOCOS(Local Oxidation of Silicon)法を用いて形成された素子分離膜を有する半導体装置の製造方法に関する。

【0002】

【従来の技術】 半導体装置の製造方法において、LOCOS法により素子分離膜を形成する際に用いる方法として、いわゆるPBL(Poly-Buffered LOCOS)法が知られている。PBL法は、パズピークを低減するために、あらかじめ耐酸化膜と半導体基板の間にポリシリコン膜を形成しておく方法である。以下にPBL法を用いた半導体装置の製造方法について説明する。

工程1：図3(a)に示すように、半導体基板51上に熱酸化法を用いてパッド酸化膜52を形成し、CVD(Chemical Vapor Deposition)法を用いてパッド酸化膜52上にパッドポリシリコン膜53を形成する。次に、耐酸化膜として、シリコン窒化膜54をCVD法を用いて形成し、素子分離膜を形成する領域に開口部を形成する。

工程2：図3(b)に示すように、シリコン窒化膜54をマスクとして半導体基板51を熱酸化し、素子分離膜55を形成する。このときパッド酸化膜52は、パズピーク下部の半導体基板表面に結晶欠陥が発生することを防止し、パッドポリシリコン膜53は、素子分離膜55の酸化領域がシリコン窒化膜54と半導体基板51との間に侵入して生じる、パズピークを短く抑制する働きをする。

工程3：図3(c)に示すように、パッド酸化膜52、パッドポリシリコン膜53、シリコン窒化膜54を除去する。

工程4：図3(d)に示すように、熱酸化法を用いてゲート絶縁膜56を形成し、CVD法を用いてポリシリコン膜57及び、タングステンシリサイド膜58を形成する。

工程5：図3(e)に示すように、ポリシリコン膜57及びタングステンシリサイド膜58を任意の形状にエッチングして、ゲート電極59や、配線60を形成する。この後、ソース、ドレイン領域を形成し、層間絶縁膜を形成し、更に配線を形成して、半導体集積回路が形成される。

【0003】

【発明が解決しようとする課題】 上述のように、パッド酸化膜52とパッドポリシリコン膜53は、パズピークの抑制の働きをするが、製造過程で除去され、その後改めてゲート酸化膜56、ゲート電極となるポリシリコン膜57を堆積するので、工程数が多かった。また、素子分離膜55は、半導体基板51の上に盛り上がり形成されるため、ゲート絶縁膜56上に形成されるゲート電極58と素子分離膜55上に形成される配線との段差が大きく、その後の配線形成などのリソグラフィの工程の露光焦点の調整精度が落ちる等の問題があった。

【0004】 本発明は上記の問題を解決するために、半導体集積回路の製造工程数の削減とともに、ゲート絶縁膜上のゲート電極と素子分離膜上の配線との段差を緩和することを目的とする。

【0005】

【課題を解決するための手段】請求項1、2に記載の発明は、上記の目的のために、パッド酸化膜及びパッドポリシリコン膜を除去せずに、そのままゲート酸化膜及びゲート電極の一部として用いるものであるので、前記段差を緩和することができる。

【0006】また、請求項3に記載の発明は、請求項1に記載の発明に加え、第1のシリコン膜を一定膜厚残存させてエッチングするので、前記段差をさらに緩和することができる。

【0007】

【発明の実施の形態】以下に本発明の第1の実施の形態について説明する。

工程1：図1(a)に示すように、半導体基板1上に熱酸化法を用いて、ゲート絶縁膜2を厚さ50Å～200Åに形成する。次に、全面にCVD法を用いて第1のシリコン膜として、第1のポリシリコン膜3を厚さ500Å～1000Åに形成する。次に、全面にCVD法を用いて耐酸化膜としてシリコン窒化膜4を1000Åに形成し、所定領域に開口部を形成する。

工程2：図1(b)に示すように、シリコン窒化膜4をマスクとして半導体基板1を熱酸化し、素子分離膜5を形成する。このとき、素子分離膜5の厚さは、約3500Åであり、半導体基板1上に盛り上がるように形成され、素子分離膜5の上面は、半導体基板1の上面からおよそ2000Å盛り上がる。

工程3：図1(c)に示すように、シリコン窒化膜4を除去する。

工程4：図1(d)に示すように、CVD法を用いて第2のシリコン膜として第2のポリシリコン膜6を厚さ500Å～1000Åに形成する。次に、第1、第2のポリシリコン膜にPOCl₃を用いた熱拡散により、リンを導入する。次に、タングステンシリサイド膜7を1000Å～2000Åに形成する。

工程5：図1(e)に示すように、ポリシリコン膜6及びタングステンシリサイド膜7を任意の形状にエッチングして、ゲート電極8や、配線9を形成する。この後、ソース、ドレイン領域を形成し、層間絶縁膜を形成し、更に配線を形成するなどして、様々な半導体集積回路が形成される。

【0008】ここで、ゲート絶縁膜2上に形成されているゲート電極8は、第1のポリシリコン膜3、第2のポリシリコン膜6、タングステンシリサイド膜7の積層構造であり、素子分離膜5の上に形成されている配線9は、第2のポリシリコン膜6とタングステンシリサイド膜7の積層構造である。従って、ゲート電極8は、配線9に比較して、第1のポリシリコン膜3の厚さ500Å～1000Åだけ厚い。従って、ゲート電極8の上面と配線9の上面の段差は第1のポリシリコン3の厚さだけ緩和されている。

【0009】第1のポリシリコン膜の厚さは、厚いほど、ゲート電極8と配線9との厚さの差が大きくなるので、段差の緩和により寄与する。例えば上記の例であれば、半導体基板1表面と素子分離膜5上面との段差はおおよそ2000Åであり、ポリシリコン膜1の厚さを1000Åに形成すれば、段差を1000Åに緩和できる。

【0010】以下に本発明の第2の実施の形態について説明する。

工程1：図2(a)に示すように、半導体基板21上に熱酸化法を用いて、ゲート絶縁膜22を厚さ50Å～200Åに形成する。次に、全面にCVD法を用いて第1のポリシリコン膜23を厚さ500Å～2000Åに形成する。次に、全面にCVD法を用いて耐酸化膜としてシリコン窒化膜24を1000Åに形成し、図示しないマスクを用いて、所定領域に開口部を形成する。さらに、前記のマスクもしくはシリコン窒化膜24をマスクとして第1のポリシリコン膜23を例えば500Å残存するようにエッチングする。このときのエッチングは、シリコン窒化膜24と第1のポリシリコン膜23とを別のガスでそれぞれエッチングしてもよいが、シリコン窒化膜24のエッチングガスにCF₄+CHF₃を用いれば、ポリシリコンもある程度エッチングできるので、これらを連続してエッチングすることもできる。

工程2：図2(b)に示すように、シリコン窒化膜24をマスクとして半導体基板21を熱酸化し、素子分離膜25を形成する。素子分離膜25の盛り上がりは、第1のポリシリコン膜23の厚みによって、吸収され、表面の段差は小さい。もちろん、第1のポリシリコン膜23の厚さと、素子分離膜25の形成条件とを最適化することによって、段差をなくすことも不可能ではない。ただし、第1のポリシリコン膜23の厚さが厚くなると、第1のポリシリコン膜23の側面の酸化が無視できなくなるので、素子分離膜25の端部の形状に注意が必要である。

工程3：図2(c)に示すように、シリコン窒化膜24を除去する。

工程4：図2(d)に示すように、CVD法を用いて第2のポリシリコン膜26を厚さ100Å～1000Åに形成する。次に、第1、第2のポリシリコン膜にPOCl₃を用いてリンを導入する。次に、タングステンシリサイド膜27を1000Å～2000Åに形成する。

工程5：図2(e)に示すように、ポリシリコン膜26及びタングステンシリサイド膜27を任意の形状にエッチングして、ゲート電極28や、配線29を形成する。この後、ソース、ドレイン領域を形成し、層間絶縁膜を形成し、更に配線を形成して、半導体集積回路が形成される。上述した様に、本実施形態によれば、半導体基板21と素子分離膜25の段差が1500Åであっても、第1のポリシリコン膜23を1500Åに形成し、シリコン窒化膜24をマスクにして、第1のポリシリコン膜23を10

00Åエッチングすれば、段差を500Åに緩和しつつ、素子分離膜25の厚さは第1の実施形態と同様の3500Åにすることができる。もちろん、第1のポリシリコン膜23の厚さを2000Åにすれば、実質的に段差をなくすることも可能である。

【0011】第2のポリシリコン膜6、26は、SiO₂である素子分離膜5、25とタングステン膜7、27との密着層の働きをし、第2のポリシリコン膜を形成しないと、SiO₂上にタングステン膜を形成することができない。また、ポリシリコンを導電性にするために、例えばリンをPOCl₃を用いてポリシリコン内に導入する場合、第2のシリコン膜がないと、素子分離膜5、25にも注入されてしまい、素子分離膜表面がPSG化して、エッチングレートの変化などの不具合を引き起こす恐れがある。第2のポリシリコン膜が形成されていれば、リンを導入する際のバリアの働きをして、素子分離膜表面のPSG化を防止する。従って、第2のポリシリコン膜26の厚さは最低100Åは必要である。

【0012】また、タングステンシリサイド膜は、電極、配線の抵抗を下げるために形成され、タングステン膜を形成せず、ポリシリコンをそのまま電極、配線にしてもよく、また、タングステンの代わりに、チタンやコバルトなどを用いてもよい。

【0013】また、ポリシリコン膜は、アモルファスシリコンや、その他のシリコン膜でもよく、絶縁膜はSiO₂に限らず、BPSG膜や、SOG膜でもよい。

【0014】また、実施形態では、「ゲート電極」「配線」を例示したがもちろんこれに限るものではなく、様々な半導体装置、例えばロジックマイコン、D-RAMやフ

ラッシュメモリ等の記憶素子その他、LOCOSによって素子分離を行うあらゆる半導体装置に適用できる。

【0015】

【発明の効果】上述したように、本発明の製造方法によれば、従来のパッドポリシリコン膜を除去せずに、第1のポリシリコン膜としてゲート電極の一部に用い、また、従来のパッド酸化膜をゲート絶縁膜として用いるので、それぞれの膜を除去、再形成する工程が不要となるので、製造工程が短縮され、製造コストの削減、製造期間の短縮がなされる。

【0016】また、素子分離膜下のゲート電極は、第1のポリシリコン膜を含み、素子分離膜上の配線は、第1のポリシリコン膜を含まないので、ゲート電極よりも配線の方が薄くなり、素子分離膜上下の段差が緩和され、平坦化される。これにより、リソグラフィを用いる工程で露光調整の精度が向上すると共に、上層の配線を形成しやすくなる。

【0017】また、第2のポリシリコン膜を形成するので、SiO₂である素子分離膜上に、抵抗の低いタングステンシリサイド膜を形成できると共に、ポリシリコンにリンを導入する際に素子分離膜がPSG化することを防止できる。

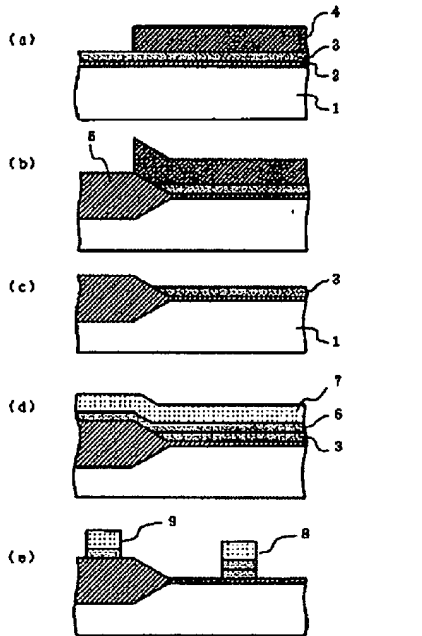
【図面の簡単な説明】

【図1】本発明の第1の実施形態の製造方法を説明するための断面図である。

【図2】本発明の第2の実施形態の製造方法を説明するための断面図である。

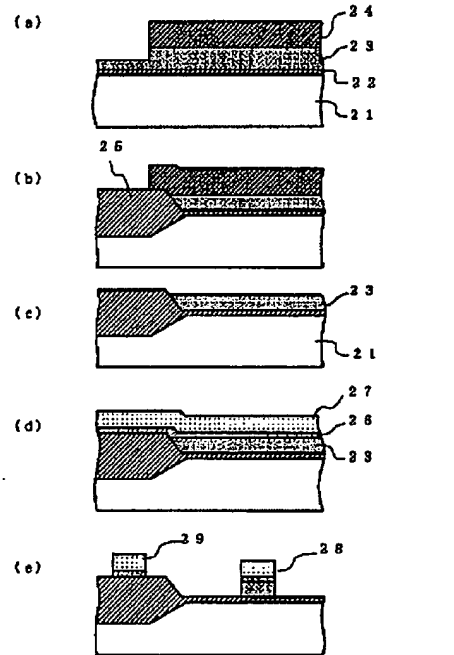
【図3】従来の製造方法を説明するための断面図である。

【図1】



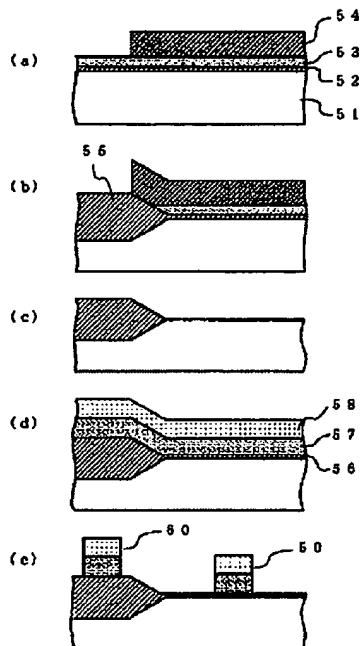
- | | |
|----------------|------------------|
| 1 : 半導体基板 | 5 : 第2のポリシリコン膜 |
| 2 : ゲート絶縁膜 | 6 : タングステンシリサイド膜 |
| 3 : 第1のポリシリコン膜 | 7 : ゲート電極 |
| 4 : SiN膜 | 8 : 配線 |

【図2】



- | | |
|-----------------|-------------------|
| 21 : 半導体基板 | 25 : 第2のポリシリコン膜 |
| 22 : ゲート絶縁膜 | 26 : タングステンシリサイド膜 |
| 23 : 第1のポリシリコン膜 | 27 : ゲート電極 |
| 24 : SiN膜 | 28 : 配線 |

【図3】



- | | |
|----------------|------------------|
| 51: 半導体基盤 | 56: ゲート絶縁膜 |
| 52: パッド酸化膜 | 57: ポリシリコン膜 |
| 53: パッドポリシリコン膜 | 58: タングステンシリサイド膜 |
| 54: SiN膜 | 59: ゲート電極 |
| 55: 分子分離膜 | 60: 配線 |

フロント ページの続き

(72)発明者 姉崎 正明

新潟県小千谷市千谷甲3000番地 新潟三洋
電子株式会社内

(72)発明者 木綿 正明

新潟県小千谷市千谷甲3000番地 新潟三洋
電子株式会社内

F ターム(参考) 4M104 BB01 CC05 DD01 DD43 DD55
FF14 GG16 HH12
4M108 AA05 AB10 AB13 AB16 AC34
AD13